

T S1/5

1/5/1

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

03059464 **Image available**

SEMICONDUCTOR DEVICE

PUB. NO.: 02-034964 JP 2034964 A]

PUBLISHED: February 05, 1990 (19900205)

INVENTOR(s): KONO YOSHIO

APPLICANT(s): MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 63-186107 [JP 88186107]

FILED: July 25, 1988 (19880725)

INTL CLASS: [5] H01L-027/11; H01L-021/28; H01L-027/04

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2 (INFORMATION PROCESSING -- Memory Units)

JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 917, Vol. 14, No. 187, Pg. 41, April 16, 1990 (19900416)

ABSTRACT

PURPOSE: To eliminate aluminum wirings and to reduce a chip in size as a whole by employing a silicide layer for electrically connecting a first conductivity type semiconductor substrate to a second conductivity type semiconductor region.

CONSTITUTION: Memory cells are divided by the boundary lines 11 of the cells, and silicide layer 21 is formed at its intersection. The layer 21 is so formed as to electrically connect a P-type well layer 17 formed on the top of an N-type silicon substrate 16 to an N(sup +) type diffused region 12 as a ground line, boron is ion implanted under the layer 21 to form a high concentration P(sup +) type diffused region 22. Thus, the layer 21 is formed at the part of the second conductivity type semiconductor region, has a part in contact with the region of a first conductivity type semiconductor substrate, and electric barrier between both the region is eliminated by the silicide layer. Thus, a region formed with aluminum wirings as a ground line is eliminated to reduce a chip in size.

?

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-34964

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)2月5日

H 01 L 27/11
21/28
27/04

3 0 1 T
D

7738-5F
7514-5F
8624-5F

H 01 L 27/10 3 8 1

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-186107

⑰ 出 願 昭63(1988)7月25日

⑱ 発 明 者 河 野 芳 雄 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

主表面を有し、第1導電型の予め定める不純物濃度を有する半導体基板と、

前記半導体基板の主表面上で、かつ前記半導体基板内に形成された第2導電型の半導体領域と、

前記第2導電型の半導体領域の一部分に形成され、かつ前記半導体基板の第1導電型の領域と接する部分を有するシリサイド層とを備えた半導体装置。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は半導体装置に関し、特にMOS型スタティックRAMにおいて微細化が可能な半導体装置の構造に関するものである。

[従来の技術]

MOS型スタティックRAMにおけるメモリセルは、2個のPチャネル型トランジスタと4個の

Nチャネル型トランジスタとによって構成される完全CMOS型のものと、2個の高抵抗と4個のNチャネル型トランジスタとによって構成される高抵抗負荷型のものに分類される。大容量を有するスタティックRAMにおいては、メモリセルの占める領域を小さくするために高抵抗負荷型のものが多く、また、消費電力を小さくするために周辺回路はCMOS回路で構成される場合が多い。第3図はこのようなMOS型スタティックRAMにおける高抵抗負荷型のメモリセルの等価回路図を示す。

図において、Vcc線1a、1bはそれぞれ高抵抗3a、3bを介して記憶ノード10a、10bに接続されている。ワード線4とビット線5およびビット線6とは各メモリセルに対してマトリクス状に縦横に配列されている。ワード線4は各メモリセル内のアクセストランジスタ7a、7bのゲートに接続されている。記憶ノード10a、10bに接続されているクロスキャップ線9a、9bはそれぞれインバートトランジスタ8b、8

aのゲートに接続されている。インバートトランジスタ8a、8bのソースはグラウンド線2a、2bに接続されている。

上記のように構成されるメモリセルの微細化において、最も問題となる工程はアルミニウム配線の形成工程である。このことは、リソグラフィ技術を用いて行なわれるパターンニング工程によって形成されるアルミニウム配線のパターン切れが悪いこと、エレクトロマイグレーション等の信頼性等から、多結晶シリコン層のようにアルミニウム配線の幅を狭くすることが困難であるためである。また、形成される配線において最も低抵抗である必要がある配線層はビット線（あるいはビット線）とワード線である。この中で、ワード線はアクセストランジスタのゲート電極を兼ねるように形成されるため、シリサイド層と多結晶シリコン層との2層からなる低抵抗のポリサイド構造によって形成されるのが通常である。従って、各メモリセルに対してビット線とビット線の2本の配線がアルミニウム配線層から形成されることになる。

型ウェル層をグラウンド線に接続することによって、電位が固定される。また、上述の各メモリセルのグラウンド線はN⁺拡散領域によって形成される（インバートトランジスタのソースと連続的につながれる）ので、グラウンドレベルに設定されるP型ウェル層とこのN⁺拡散領域とを接続する必要がある。このようなグラウンド線の上に着目したメモリセルの領域のパターンレイアウトは第4図に示される。

第4図を参照して、このパターンレイアウトによれば、4個のメモリセルごとにグラウンド線としてのアルミニウム配線15が設けられている。各メモリセルは、点線で示されるメモリセルの境界線11によって区切られている。N⁺拡散領域12はメモリセルの境界線11の交点をつなげるように延びている。このN⁺拡散領域12は、その突出領域12aによって各メモリセル内に形成されたグラウンド線としてのN⁺拡散領域と連続的に接続されている。N⁺拡散領域12は、コンタクトホール14bを介して、その上に形成され

2層の多結晶シリコン層と1層のアルミニウム配線層とによって配線層を形成する方式においては、2層の多結晶シリコン層（ポリサイド構造を含む）とN⁺拡散領域とによって、グラウンド線、Vcc線、ワード線（ゲート電極）、高抵抗、およびクロスキャップ線が形成される必要がある。さらに、クロスキャップ線は交差するように形成される必要があるので、クロスキャップ線の各々は別々の配線層から形成されなければならない。したがって、一例として、N⁺拡散領域によってグラウンド線とクロスキャップ線の一方が形成され、1層目の多結晶シリコン層（ポリサイド構造を含む）によってワード線（ゲート電極）とクロスキャップ線の他方が形成され、2層目の多結晶シリコン層によってVcc線と高抵抗の部分が形成される。

一方、ソフトエラーを防止するために、メモリセルが形成される領域全体をN型半導体基板内のP型ウェル層上に形成するのが通常である。すなわち、N型半導体基板をVcc電源に接続し、P

たグラウンド線としてのアルミニウム配線15と接続されている。

第5図は第4図のV-V線に沿った断面を示す断面図である。第5図を参照して、N型シリコン基板16の上部領域にはP型ウェル層17が形成されている。P型ウェル層17の上には間隔を隔てて分離領域としてのフィールド酸化膜18が形成されている。フィールド酸化膜18の間にはN⁺拡散領域12が形成されている。このN⁺拡散領域12にはコンタクトホール14bを介してアルミニウム配線15が接続されている。また、P型ウェル層17をグラウンドレベルに固定するため、P型ウェル層17の上にP⁺拡散領域13が設けられ、このP⁺拡散領域13はコンタクトホール14aを介してグラウンド線としてのアルミニウム配線15に接続されている。

この場合、N⁺拡散領域12の周囲にはボロンがイオン注入によってP型ウェル層17に注入され、フィールド酸化膜18の下部にP⁺分離領域19が形成される。N⁺拡散領域12およびP⁺

拡散領域13は各メモリセル内に形成される拡散領域とともに形成され、それぞれ砒素、ボロンがイオン注入されることによって形成される。その後、各メモリセル内のトランジスタ（配線層を含む）が形成された後、PSG膜（リン珪酸ガラス膜）20が堆積される。そして、コンタクトホール14a、14bが形成された後、アルミニウム配線15が形成される。

〔発明が解決しようとする課題〕

従来のスタティックRAMのメモリセルの領域においてはグラウンド線が以上のように構成されているので、メモリセルの領域全体を占める面積は単に各メモリセルの占める面積の総和ではなく、メモリセル間に形成されるグラウンド線としてのアルミニウム配線が占める面積も含んでいる。たとえば、第4図に示されるように、4個のメモリセルごとにアルミニウム配線を設けた場合には、アルミニウム配線が占める領域の幅を4 μ mとすると、実効的には1つのメモリセルに対してメモリセルの大きさが1 μ mだけ増大したことになる。

基板内に形成された第2導電型の半導体領域と、第2導電型の半導体領域の一部分に形成され、かつ半導体基板の第1導電型の領域と接する部分を有するシリサイド層とを備えている。

〔作用〕

この発明におけるシリサイド層は、第2導電型の半導体領域の一部分に形成され、第1導電型の半導体基板の領域と接する部分を有している。そのため、第2導電型の半導体領域と第1導電型の半導体基板の領域との電気的バリアがシリサイド層によってなくされる。

〔発明の実施例〕

以下、この発明の一実施例を図について説明する。第1図はスタティックRAMのメモリセル領域をグラウンド線の上に注目して示す部分平面図、第2図は第1図のII-II線に沿った断面を示す断面図である。

図において、各メモリセルはメモリセルの境界線11によって区切られている。メモリセルの境界線11の交点の部分にはシリサイド層21が形

成されている。このシリサイド層21は、N型シリコン基板16の上部に形成されたP型ウェル層17とグラウンド線としてのN⁺拡散領域12とを電気的に接続するために形成されている。また、シリサイド層21の下には、ボロンがイオン注入されて形成された高濃度のP⁺拡散領域22が設けられている。このP⁺拡散領域22はP型ウェル層17とシリサイド層21とが確実に電気的に接続され得るように設けられるものである。このようにして、P型ウェル層17がグラウンドレベルに設定されるので、従来、必要であったグラウンド線としてのアルミニウム配線が形成される必要はない。また、シリサイド層21が形成された部分にはリーク電流が発生するが、この部分はメモリセルのグラウンド線が形成される領域のみであるので、各メモリセルにおける情報の保持等に、このリーク電流が悪影響をもたらすことはない。

そこで、この発明は上記のような問題点を解消するためになされたもので、グラウンド線としてのアルミニウム配線が形成される領域をなくし、チップサイズの縮小化を図るとともに、電気的不具合も生じない半導体装置を提供することを目的とする。

〔課題を解決するための手段〕

この発明に従った半導体装置は、主表面を有し、第1導電型の予め定める不純物濃度を有する半導体基板と、半導体基板の主表面上で、かつ半導体

成されている。このシリサイド層21は、N型シリコン基板16の上部に形成されたP型ウェル層17とグラウンド線としてのN⁺拡散領域12とを電気的に接続するために形成されている。また、シリサイド層21の下には、ボロンがイオン注入されて形成された高濃度のP⁺拡散領域22が設けられている。このP⁺拡散領域22はP型ウェル層17とシリサイド層21とが確実に電気的に接続され得るように設けられるものである。このようにして、P型ウェル層17がグラウンドレベルに設定されるので、従来、必要であったグラウンド線としてのアルミニウム配線が形成される必要はない。また、シリサイド層21が形成された部分にはリーク電流が発生するが、この部分はメモリセルのグラウンド線が形成される領域のみであるので、各メモリセルにおける情報の保持等に、このリーク電流が悪影響をもたらすことはない。

次に、上記のようなグラウンド線の領域を形成する方法について説明する。まず、N型シリコン基板16の上部にP型ウェル層17が形成される。

P型ウェル層17の上には選択的に間隔を隔ててフィールド酸化膜18が分離のために形成される。このとき、Nチャネル領域にはP⁺分離領域19が予め形成される。各メモリセル内の拡散領域の形成とともに、砒素がイオン注入された後、熱処理が施されることによって、グラウンド線が形成される領域にN⁺拡散領域12が形成される。このとき、熱処理によって200~500Å程度の膜厚を有する酸化膜が各拡散領域の上に形成される。

N⁺拡散領域12の所定の部分にボロンがイオン注入された後、この薄い酸化膜が除去される。このとき、マスクとしてはレジスト膜が用いられる。この際のイオン注入エネルギーは、N⁺拡散領域12の接合部より深いところにそのピーク値が存在するように設定される。次に、イオン注入されたボロンが高温度の熱処理によって活性化される。その後、ボロンがイオン注入された部分のみに、チタンがスパッタリングによって堆積された後、ランプアニール処理によってシリサイド化さ

れる。これによって形成されるシリサイド層21の膜厚はN⁺拡散領域12より厚く、P型ウェル層17の内部に深く入り込むようにシリサイド化処理が施される。シリサイド化処理が施された後、未反応のチタンは湿式処理によって除去される。

このようにしてグラウンド線となる領域が形成された後、各メモリセル内の領域に各配線層が形成される。その後、PSG膜20が堆積される。

なお、上記実施例ではチタンをスパッタリングによって堆積した後にランプアニール処理が施されることによりシリサイド化が行なわれるが、ボロンがイオン注入された後、引き続いてチタンがイオン注入され、その後の熱処理によってシリサイド化が行なわれても同様の効果を奏する。

また、グラウンド線としてのN⁺拡散領域を低抵抗にするために、インバートトランジスタのゲート近傍以外のすべての部分をシリサイド化してもよい。

さらに、上記実施例ではP型ウェル層とN⁺拡散領域との電気的接続がその間に形成されるシリ

サイド層によって行なわれる例を示したが、互いに逆の導電型を有する半導体領域を電気的に接続するものであれば本発明は適用され得る。また、この実施例ではスタティックRAMのメモリセル領域におけるグラウンド線として本発明に従ったシリサイド層を形成した例を示しているが、少なくとも、第1導電型の半導体領域と第2導電型の半導体領域とを電気的に接続する部分であれば、種々の半導体装置に適用することが可能である。

【発明の効果】

以上のように、この発明によれば第1導電型の半導体基板と第2導電型の半導体領域とを電気的に接続するためにシリサイド層を用いているので、電気的接続のためのアルミニウム配線が必要でなくなる。このため、アルミニウム配線が形成される領域をなくすることができるので、半導体装置全体としてのチップサイズを縮小することができるという効果がある。

4. 図面の簡単な説明

第1図はこの発明に従った高抵抗負荷型スタテ

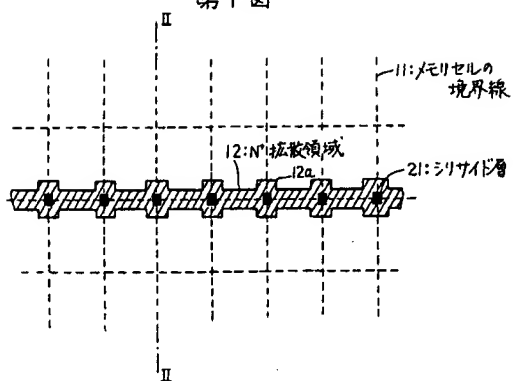
ィックRAMのメモリセル領域をグラウンド線のみに着目して示す部分平面図、第2図は第1図のII-II線に沿った断面を示す断面図、第3図は高抵抗負荷型スタティックRAMのメモリセルを示す等価回路図、第4図は従来の高抵抗負荷型スタティックRAMのメモリセル領域をグラウンド線だけに着目して示す部分平面図、第5図は第4図のV-V線に沿った断面を示す断面図である。

図において、2a、2bはグラウンド線、11はメモリセルの境界線、12はN⁺拡散領域、17はP型ウェル層、21はシリサイド層である。

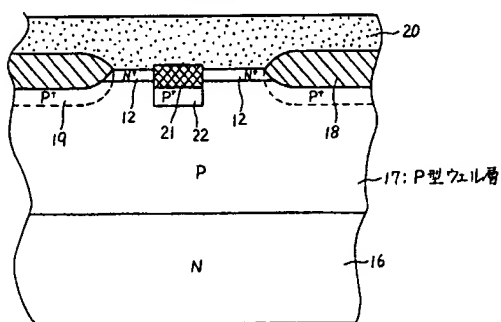
なお、各図中、同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

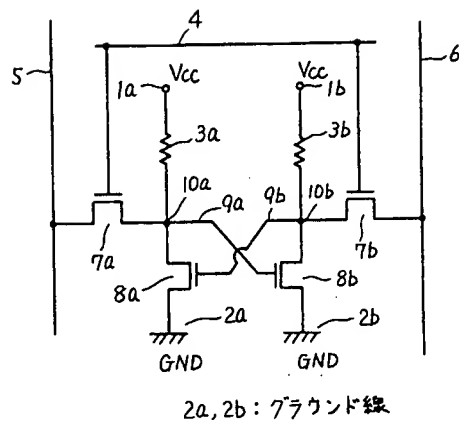
第1図



第2図

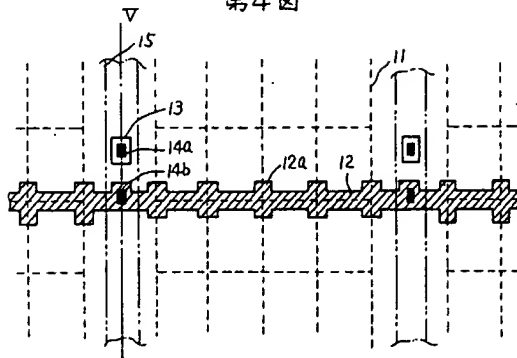


第3図



2a, 2b: グラウンド線

第4図



第5図

